



GP

Docket No.: J0658.0006
(PATENT)

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of:
Jens Barrenscheen et al.

Application No.: 10/727,108

Confirmation No.: 4414

Filed: December 2, 2003

Art Unit: 2611

For: ARRANGEMENT COMPRISING A FIRST
SEMICONDUCTOR CHIP AND A SECOND
SEMICONDUCTOR CHIP CONNECTED
THERETO

Examiner: J. F. A. Dsouza

CLAIM FOR PRIORITY AND SUBMISSION OF DOCUMENTS

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Dear Sir:

Applicants hereby claim priority under 35 U.S.C. 119 based on the following prior foreign application filed in the following foreign country on the date indicated:

Country	Application No.	Date
European Patent Office	02026774.6	December 2, 2002

In support of this claim, a certified copy of the said original foreign application is filed herewith.

Dated: July 15, 2008

Respectfully submitted,

By Laura C. Brutman
Laura C. Brutman

Registration No.: 38,395
DICKSTEIN SHAPIRO LLP
1177 Avenue of the Americas
New York, New York 10036-2714
(212) 277-6500
Attorney for Applicant



Bescheinigung

Die angehefteten Unterlagen stimmen mit der ursprünglich eingereichten Fassung der auf dem nächsten Blatt bezeichneten europäischen Patentanmeldung überein.

Certificate

The attached documents are exact copies of the European patent application described on the following page, as originally filed.

Attestation

Les documents fixés à cette attestation sont conformes à la version initialement déposée de la demande de brevet européen spécifiée à la page suivante.

Patentanmeldung Nr.

Patent application No.

Demande de brevet n°

02026774.6 / EP02026774

The organization code and number of your priority application, to be used for filing abroad under the Paris Convention, is EP02026774.

Der Präsident des Europäischen Patentamts,
Im Auftrag
For the President of the European Patent Office
Le President de l'Office européen des brevets
p.o.

A handwritten signature in black ink, appearing to read "D. van Dijk".

R.C. van Dijk

Anmeldung Nr.: **02026774.6**
Application no.:
Demande no.:

Anmeldetag: **02.12.02**
Date of filing:
Date de dépôt:

Anmelder / Applicant(s) / Demandeur(s):

Infineon Technologies AG
St.-Martin-Strasse 53
81669 München/DE

ROBERT BOSCH GMBH
Wernerstrasse 1
70469 Stuttgart-Feuerbach/DE

Bezeichnung der Erfindung / Title of the invention / Titre de l'invention:
(Falls die Bezeichnung der Erfindung nicht angegeben ist, siehe Beschreibung.
If no title is shown please refer to the description.
Si aucun titre n'est indiqué se référer à la description.)

Anordnung bestehend aus einem ersten Halbleiter-Baustein und einem mit diesem verbundenen zweiten Halbleiter-Baustein

In Anspruch genommene Priorität(en) / Priority(Priorities) claimed / Priorité(s) revendiquée(s)
Staat/Tag/Aktenzeichen / State/Date/File no. / Pays/Date/Numéro de dépôt:

Internationale Patentklassifikation / International Patent Classification / Classification internationale de brevets:

H01L

Am Anmeldetag benannte Vertragstaaten / Contracting States designated at date of filing / Etats contractants désignées lors du dépôt:
DE FR IT

**JANNIG —
— & REPKOW**

PATENTANWÄLTE
EUROPEAN PATENT AND
TRADEMARK ATTORNEYS

DIPL.-ING. (UNIV.) PETER JANNIG
DR.-ING., DIPL.-ING. INES REPKOW

KLAUSENBERG 20. D-86199 AUGSBURG
DEUTSCHLAND — GERMANY

TEL. 0821/9 81 93 TELEX 210 352 JUR D
FAX 0821/9 81 95 EMAIL J-U-R@T-ONLINE.DE

AUGSBURG, 2. Dez. 2002

Europäische Patentanmeldung

Unser Zeichen: 0947 EP/P

Anmelder: Infineon Technologies AG
St.-Martin-Str. 53
D-81669 München

Robert Bosch GmbH
Wernerstr. 1
D-70469 Stuttgart-Feuerbach

**ANORDNUNG BESTEHEND AUS EINEM ERSTEN HALBLEITER-BAUSTEIN UND
EINEM MIT DIESEM VERBUNDENEN ZWEITEN HALBLEITER-BAUSTEIN**

200213602

1

Beschreibung

Anordnung bestehend aus einem ersten Halbleiter-Baustein und einem mit diesem verbundenen zweiten Halbleiter-Baustein

5

Die vorliegende Erfindung betrifft eine Vorrichtung gemäß dem Oberbegriff des Patentanspruchs 1, d.h. eine Anordnung bestehend aus einem ersten Halbleiter-Baustein und einem mit diesem verbundenen zweiten Halbleiter-Baustein,

10

- wobei der zweite Halbleiter-Baustein zusätzlich mit elektrischen Verbrauchern verbunden ist, und diese elektrischen Verbraucher entsprechend einem ihm durch Verbrauchersteuerdaten vorgegebenen Timing ansteuert,
- wobei der erste Halbleiter-Baustein zum zweiten Halbleiter-Baustein die erwähnten Verbrauchersteuerdaten sowie den zweiten Halbleiter-Baustein steuernde Kontrolldaten überträgt, und
- wobei der zweite Halbleiter-Baustein zum ersten Halbleiter-Baustein Diagnosedaten überträgt, durch welche im zweiten Halbleiter-Baustein herrschende Zustände oder auftretende Ereignisse repräsentiert werden.

15

20

Eine solche Anordnung besteht beispielsweise aus einem Mikrocontroller (erster Halbleiter-Baustein) und einem Power-Baustein (zweiter Halbleiter-Baustein), wobei der Power-Baustein zusätzlich mit zu steuernden elektrischen Verbrauchern verbunden ist.

25

Im Mikrocontroller wird ein Steuerprogramm ausgeführt, durch welches festgelegt wird, wie die am Power-Baustein angeschlossenen elektrischen Verbraucher anzusteuern sind. Der Mikrocontroller steuert die Verbraucher jedoch nicht selbst an, sondern tut dies über den Power-Baustein.

30

Der Power-Baustein tut im wesentlichen nichts anderes, als die an ihm angeschlossenen elektrischen Verbraucher entsprechend den Vorgaben des Mikrocontrollers anzusteuern.

200213602

2

- Solche Anordnungen kommen beispielsweise zum Einsatz, wenn der Mikrocontroller nicht in der Lage ist, die elektrischen Verbraucher selbst anzusteuern. Dies ist insbesondere der 5 Fall, wenn die den Verbrauchern zuzuführenden Spannungen und/oder Ströme so groß sind, daß sie der Mikrocontroller nicht selbst erzeugen kann oder nur mit einem nicht vertretbaren Aufwand selbst erzeugen könnte.
- 10 Solche Anordnungen werden beispielsweise, aber nicht ausschließlich in Kraftfahrzeug-Steuengeräten eingesetzt. Kraftfahrzeug-Steuengeräte müssen unter anderem eine ganze Reihe von Verbrauchern durch Zuführen von Energie und Unterbrechung der Energiezufuhr steuern. Die meisten Verbraucher müssen 15 dabei mit so hohen Spannungen (beispielsweise 12 V) und/oder so hohen Strömen (beispielsweise 1 A und größer) versorgt werden, daß sie nicht von einem Mikrocontroller, aber sehr wohl von einem Power-Baustein erzeugt werden können.
- 20 Der Power-Baustein ist durch den Mikrocontroller konfigurierbar, und bekommt vom Mikrocontroller das Timing für die Verbraucher-Ansteuerung vorgegeben.
- Die Konfigurierung des Power-Bausteins erfolgt durch die 25 Übertragung von im folgenden als Kontrolldaten bezeichneten Daten an den Power-Baustein. Durch die Konfigurierung des Power-Bausteins kann in diesem beispielsweise eingestellt werden, ob er im normalen Modus oder in einem besonderen Modus, beispielsweise im Sleep-Modus arbeiten soll.
- 30 Die Vorgabe des Timings für die Verbraucher-Ansteuerung erfolgt durch die Übertragung von im folgenden als Verbrauchersteuerdaten bezeichneten Signalen oder Daten an den Power-Baustein. Als Verbrauchersteuerdaten können beispielsweise 35 von einem Timer des Mikrocontrollers erzeugte pulsweitenmodulierte Signale verwendet werden.

200213602

3

Der Power-Baustein übermittelt an den Mikrocontroller Statusinformationen, durch welche dem Mikrocontroller im Power-Baustein herrschende Zustände oder auftretende Ereignisse signalisiert werden. Die Statusinformationen werden

5 durch die Übertragung von im folgenden als Diagnosedaten bezeichnete Daten an den Mikrocontroller übermittelt. Durch diese Diagnosedaten kann dem Mikrocontroller beispielsweise signalisiert werden, daß ein Verbraucher zu viel Strom zieht, oder daß eine Übertemperatur vorliegt.

10

Bei Anordnungen der vorstehend beschriebenen Art stellt unter anderem die Übertragung der Verbrauchersteuerdaten ein Problem dar.

15 Bis vor kurzem erfolgte die Übertragung derart, daß für jeden der am Power-Baustein angeschlossenen Verbraucher auf einer eigenen Leitung ein eigenes pulsweitenmoduliertes Signal zum Power-Baustein übertragen wurde.

20 Diese Art der Verbrauchersteuerdaten-Übertragung ist nachteilig, weil der Mikrocontroller und der Power-Baustein in diesem Fall über sehr viele Leitungen miteinander verbunden sein müssen und eine entsprechend große Anzahl von Ein- und/oder Ausgabe-Anschlüssen aufweisen müssen.

25

Dieses Problem wurde mittlerweile bereits erkannt und durch die Entwicklung des sogenannten Microsecond-Busses abgeschwächt. Der Microsecond-Bus weist die Besonderheit auf, daß die zuvor parallel zum Power-Baustein übertragenen Verbrauchersteuer-Signale in regelmäßigen zeitlichen Abständen, beispielsweise in zeitlichen Abständen von 1 µs abgetastet werden, und daß die Abtastwerte über einen einzigen Übertragungskanal seriell zum Power-Baustein übertragen werden. Der Power-Baustein rekonstruiert aus den ihm zugeführten Daten 35 die abgetasteten pulsweitenmodulierten Signale und steuert die an ihm angeschlossenen Verbraucher entsprechend an. Dadurch läßt sich eine erhebliche Reduzierung der zwischen dem

200213602

4

Mikrocontroller und dem Power-Baustein vorzusehenden Leitungen erzielen und entsprechend geringer ist auch die Anzahl der vorzusehenden Ein- und/oder Ausgabeanschlüsse des Mikrocontrollers und des Power-Bausteins.

5

Der prinzipielle Aufbau einer Anordnung, bei welcher ein Mikrocontroller und ein Power-Baustein über einen Microsecond-Bus miteinander verbunden sind, ist in Figur 1 veranschaulicht.

10

Die Figur 1 zeigt einen Mikrocontroller MC, einen Power-Baustein PC, und einen den Mikrocontroller und den Power-Baustein verbindenden Microsecond-Bus MSB.

15

Der Mikrocontroller MC enthält eine CPU CPU, einen Timer T, einen Microsecond-Bus-Controller MSC, und diverse weitere Einheiten P1 bis Pn, wobei die genannten Komponenten über einen internen System-Bus SYSBUS miteinander verbunden sind.

20

Der Timer T erzeugt das Timing der Verbraucher-Ansteuerung vorgebende pulsweitenmodulierten Signale, und führt diese über den System-Bus SYSBUS dem Microsecond-Bus-Controller MSC zu. Der Timer erzeugt im betrachteten Beispiel insgesamt 16 Ausgangssignale, von welchen jedes ein Bit umfaßt, und anzeigen, ob eine im Timer eingestellte, dem jeweiligen Timer-Ausgangssignal zugeordnete Bedingung erfüllt ist oder nicht.

25

Die Timer-Ausgangssignale werden in bestimmten zeitlichen Abständen, beispielsweise in zeitlichen Abständen von 1 μ s zum Microsecond-Bus-Controller MSC übertragen, welcher diese

30

Signale seriell über den Microsecond-Bus MSB zum Power-Baustein PC überträgt.

35

Der Microsecond-Bus MSB umfaßt einen ersten Übertragungskanal TC1 und einen zweiten Übertragungskanal TC2, wobei der erste Übertragungskanal TC1 aus Leitungen DATA1a, DATA1b, CLK1, und CS1 besteht, und wobei der zweite Übertragungskanal TC2 aus Leitungen DATA2, CLK2, und CS2 besteht.

200213602

5

Über die Leitung CLK2 überträgt der Mikrocontroller MC zum Power-Baustein PC ein Übertragungstaktsignal.

5 Über die Leitung DATA2 überträgt der Mikrocontroller MC zum Power-Baustein PC im Takt des über die Leitung CLK2 übertragenen Übertragungstaktsignals seriell die jeweils aktuellen Pegel der Timer-Ausgangssignale, also die Verbrauchersteuerdaten.

10 Über die Leitung CS2 überträgt der Mikrocontroller MC zum Power-Baustein PC ein Chip-Select-Signal, durch welches dem Power-Baustein der Beginn und das Ende der Übertragung von für den Power-Baustein bestimmten Daten über die Leitung 15 DATA2 signalisiert wird.

Über die Leitung CLK1 überträgt der Mikrocontroller MC zum Power-Baustein PC ein Übertragungstaktsignal.

20 Über die Leitung DATA1a überträgt der Mikrocontroller MC zum Power-Baustein PC im Takt des über die Leitung CLK1 übertragenen Übertragungstaktsignals seriell Kontrolldaten, und synchron hierzu überträgt der Power-Baustein PC über die Leitung DATA1b zum Mikrocontroller seriell Diagnosedaten.

25 Über die Leitung CS1 überträgt der Mikrocontroller MC zum Power-Baustein PC ein Chip-Select-Signal, durch welches dem Power-Baustein der Beginn und das Ende der Übertragung von für den Power-Baustein bestimmten Daten über die Leitung 30 DATA1a signalisiert wird.

Die in der Figur 1 gezeigte Anordnung ist eine Anordnung gemäß dem Oberbegriff des Patentanspruchs 1.

35 Wie aus den vorstehenden Erläuterungen ersichtlich ist, lässt sich durch die Verwendung des Microsecond-Bus die Anzahl der Leitungen zwischen dem Mikrocontroller MC und dem Power-Bau-

200213602

6

stein PC und damit auch die Anzahl der Ein- und/oder Ausgabeanschlüsse des Mikrocontrollers und des Power-Bausteins erheblich verringern. Zwischen dem Mikrocontroller MC und dem Power-Baustein PC sind nur noch 7 Leitungen vorzusehen; bei 5 der Übertragung der Timer-Ausgangssignale über jeweils eine eigene Leitung wären alleine schon für die Übertragung der Timer-Ausgangssignale 16 Leitungen vorzusehen.

Trotzdem ist die Verwendung eines Microsecond-Bus noch nicht 10 optimal.

Insbesondere wäre es wünschenswert, die Anzahl der zwischen dem Mikrocontroller und dem Power-Baustein vorzusehenden Leitungen noch weiter reduzieren zu können.

15 Der vorliegenden Erfindung liegt daher die Aufgabe zugrunde, die Anordnung gemäß dem Oberbegriff des Patentanspruchs 1 derart weiterzubilden, daß die zwischen dem ersten Halbleiter-Baustein und dem zweiten Halbleiter-Baustein zu transferierenden Daten über eine geringere Anzahl von Leitungen 20 übertragen werden können.

Diese Aufgabe wird erfindungsgemäß durch die in Patentanspruch 1 beanspruchte Anordnung gelöst.

25 Die erfindungsgemäße Anordnung zeichnet sich dadurch aus, daß der erste Halbleiter-Baustein dem zweiten Halbleiter-Baustein durch Übertragung entsprechender Kontrolldaten vorgibt, mit welcher Übertragungsrate der zweite Halbleiter-Baustein die 30 Diagnosedaten an den ersten Halbleiter-Baustein zu übertragen hat.

Dadurch entfällt die Notwendigkeit, zwischen dem ersten Halbleiter-Baustein und dem zweiten Halbleiter-Baustein ein Übertragungstaktsignal zu übertragen, welches den Übertragungstakt repräsentiert, mit dem die Diagnosedaten (und gegebenen-

200213602

7

falls weitere Daten, die über die selbe Leitung transferiert werden) übertragen werden.

Vorteilhafte Weiterbildungen der Erfindung sind den Unter-
5 ansprüchen, der folgenden Beschreibung, und den Figuren ent-
nehmbar.

Die Erfindung wird nachfolgend anhand von Ausführungsbeispie-
len unter Bezugnahme auf die Figuren näher erläutert. Es zei-
10 gen

Figur 1 den Aufbau der eingangs beschriebenen herkömmlichen
Anordnung,

15 Figur 2 den Aufbau der im folgenden beschriebenen Anordnung,

Figur 3 den Aufbau eines Teils der in der Anordnung gemäß
Figur 2 enthaltenen Microsecond-Bus-Controllers, und

20 Figur 4 den Aufbau einer Diagnosedaten-Frame.

Die im folgenden beschriebene Anordnung bestehen aus einer
programmgesteuerten Einheit und einem mit dieser verbundenen
Power-Baustein,

- 25 - wobei der Power-Baustein zusätzlich mit elektrischen Ver-
brauchern verbunden ist, und diese elektrischen Verbraucher
entsprechend einem ihm durch Verbrauchersteuerdaten vorge-
gebenen Timing ansteuert,
- wobei die programmgesteuerte Einheit zum Power-Baustein die
30 erwähnten Verbrauchersteuerdaten sowie den Power-Baustein
steuernde Kontrolldaten überträgt, und
- wobei der Power-Baustein zur programmgesteuerten Einheit
Diagnosedaten überträgt, durch welche im Power-Baustein
herrschende Zustände oder auftretende Ereignisse repräsen-
35 tiert werden.

200213602

8

Die programmgesteuerte Einheit ist im betrachteten Beispiel ein Mikrocontroller, könnte aber auch beispielsweise ein Mikroprozessor oder ein Signalprozessor sein.

5 Die Besonderheiten der im folgenden beschriebenen Anordnungen können jedoch auch bei anderen Anordnungen zum Einsatz kommen, bei welchen die genannten Daten zu übertragen sind. D.h., sowohl der Mikrocontroller als auch der Power-Baustein könnten auch beliebige andere Bausteine sein.

10

In Figur 2 ist der prinzipielle Aufbau eines Ausführungsbeispiels der hier vorgestellten Anordnung gezeigt.

15 Die in der Figur 2 gezeigte Anordnung enthält einen Mikrocontroller MCN, einen Power-Baustein PCN, und einen die genannten Bausteine miteinander verbindenden modifizierten Microsecond-Bus MSBN.

20 Der modifizierte Microsecond-Bus MSBN ist ein Microsecond-Bus der zweiten Generation und wird im folgenden der Einfachheit halber als Microsecond-Bus bezeichnet. Dies bedeutet jedoch nicht, daß es hierbei um den eingangs unter Bezugnahme auf die Figur 1 beschriebenen Microsecond-Bus handelt. Der hier beschriebene Microsecond-Bus der zweiten Generation weist 25 gegenüber dem eingangs beschriebenen Microsecond-Bus der ersten Generation eine ganze Reihe von später noch genauer beschriebenen Unterschieden auf.

30 Der Mikrocontroller MCN enthält eine CPU CPU, einen Timer T, einen Microsecond-Bus-Controller MSCN, und diverse weitere Einheiten P1 bis Pn, wobei die genannten Komponenten über einen internen System-Bus SYSBUS miteinander verbunden sind, und wobei der Timer T und der Microsecond-Bus-Controller MSCN über zusätzliche interne Busse ALTINO und ALTIN1 miteinander 35 verbunden sind.

200213602

9

Der Timer T erzeugt die zum Power-Baustein PC zu übertragenen Timer-Ausgangssignale, und führt diese dem Microsecond-Bus-Controller MSCN über die Busse ALTINO und ALTIN1 zu. Der Timer erzeugt im betrachteten Beispiel insgesamt 32 Ausgangs-
5 signale, von welchen jedes ein Bit umfaßt, und anzeigt, ob eine im Timer eingestellte, dem jeweiligen Timer-Ausgangs-
signal zugeordnete Bedingung erfüllt ist oder nicht. Die Timer-Ausgangssignale werden in bestimmten zeitlichen Abstän-
den, beispielsweise in zeitlichen Abständen von 1 µs zum
10 Microsecond-Bus-Controller MSCN übertragen, welcher diese Signale seriell über den Microsecond-Bus MSB zum Power-Bau-
stein PC überträgt.

Der Microsecond-Bus MSBN umfaßt einen ersten Übertragungs-
15 kanal TCN1 und einen zweiten Übertragungskanal TCN2, wobei der erste Übertragungskanal TCN1 aus einer einzigen Leitung SDI besteht, und wobei der zweite Übertragungskanal TCN2 aus Leitungen SO, FCL, und EN besteht.

20 Über die Leitung FCL überträgt der Mikrocontroller MC zum Power-Baustein PC ein Übertragungstaktsignal. Die Leitung FCL entspricht der Leitung CLK2 der in der Figur 1 gezeigten her-
kömmlichen Anordnung. Allerdings wird das über die Leitung FCL übertragene Übertragungstaktsignal im allgemeinen eine
25 höhere Frequenz haben als der über die Leitung CLK2 übertra-
gene Übertragungstaktsignal.

Über die Leitung SO überträgt der Mikrocontroller MC zum Power-Baustein PC im Takt des über die Leitung FCL über-
30 tragenen Übertragungstaktsignals seriell Verbrauchersteuer-
daten und Kontrolldaten. Die Verbrauchersteuerdaten haben den selben Inhalt wie die über die Leitung DATA2 der in der Figur 1 gezeigten Anordnung übertragenen Daten. Allerdings können zwischen den Verbrauchersteuerdaten Kontrolldaten übertragen
35 werden. Die Übertragung der über die Leitung SO zu übertra-
genden Daten erfolgt also im Zeitmultiplex. Dies wird später noch genauer beschrieben.

200213602

10

Über die Leitung EN überträgt der Mikrocontroller MC zum Power-Baustein PC ein Chip-Select-Signal, durch welches dem Power-Baustein der Beginn und das Ende der Übertragung von 5 für den Power-Baustein bestimmten Daten über die Datenleitung SO signalisiert wird. Die Leitung EN entspricht der Leitung CS2 der in der Figur 1 gezeigten herkömmlichen Anordnung.

Über die Leitung SDI überträgt der Power-Baustein PC zum 10 Mikrocontroller seriell Diagnosedaten. Die Übertragung der Diagnosedaten erfolgt vorzugsweise asynchron. Diese und andere Übertragungsmöglichkeiten werden später noch genauer beschrieben.

15 Wie erwähnt werden die über die Leitung SO zu übertragenden Daten, also die Verbrauchersteuerdaten und die Kontrolldaten im Zeitmultiplex übertragen.

Der Microsecond-Bus-Controller MSCN generiert intern Zeit- 20 fenster konstanter Länge und überträgt in jedem Zeitfenster entweder Verbrauchersteuerdaten, Kontrolldaten, oder keine Daten. Mit der Übertragung der jeweils zu übertragenden Daten wird immer zu Beginn eines Zeitfensters begonnen. Die Übertragung der Verbrauchersteuerdaten erfolgt im betrachteten 25 Beispiel so, daß einem Zeitfenster, in welchem Verbrauchersteuerdaten zum Power-Baustein übertragen wurden, immer n Zeitfenster folgen, in welchem keine Verbrauchersteuerdaten zum Power-Baustein übertragen werden, so daß also in jedem n+1-ten Zeitfenster Verbrauchersteuerdaten zum Power-Baustein 30 übertragen werden. n ist eine durch die CPU des Mikrocontrollers einstellbarer Wert, und liegt im betrachteten Beispiel zwischen 0 und 15. In den Zeitfenstern, die nicht für die Übertragung von Verbrauchersteuerdaten reserviert sind, können Kontrolldaten zum Power-Baustein übertragen wer- 35 den.

200213602

11

Ein Sonderfall liegt vor, wenn $n=0$ ist. In diesem Fall existieren keine Zeitfenster, die nicht für die Übertragung von Verbrauchersteuerdaten reserviert sind. Daher wird bei $n=0$ so vorgegangen, daß die Übertragung von Kontrolldaten 5 Vorrang vor der Übertragung von Verbrauchersteuerdaten hat. D.h., wenn im Microsecond-Bus-Controller MSCN zum Power-Bau-stein zu übertragende Kontrolldaten vorliegen, werden diese Kontrolldaten anstelle der eigentlich zu übertragenden Ver- brauchersteuerdaten übertragen. Daß die Übertragung von 10 Kontrolldaten Vorrang vor der Übertragung von Verbraucher- steuerdaten hat, kann auch vorgesehen werden, wenn n zwischen 1 und 15 liegt.

Die pro Zeitfenster übertragenen Verbrauchersteuerdaten um- 15 fassen im betrachteten Beispiel jeweils 32 Bits, von welchen jedes für die Steuerung eines anderen Verbrauchers bestimmt ist; der Mikrocontroller kann im betrachteten Beispiel bis zu 32 Verbraucher steuern. Die pro Zeitfenster übertragenen Kon- trolldaten umfassen im betrachteten Beispiel ebenfalls je- 20 weils 32 Bits können aber auch mehr Bits oder weniger Bits umfassen. Sowohl die Verbrauchersteuerdaten als auch die Kon- trolldaten werden zusammen mit einer Information übertragen, anhand welcher der Power-Baustein ermitteln kann, ob es sich bei den jeweils übertragenen Daten um Verbrauchersteuerdaten 25 oder um Kontrolldaten handelt.

Im folgenden wird unter Bezugnahme auf die Figur 3 der Aufbau des Teils des Microsecond-Bus-Controllers MSCN beschrieben, welcher die über die Leitungen FCL, SO, und EN übertragenen 30 Daten auf diese Leitungen ausgibt.

Der gezeigte Teil des Microsecond-Bus-Controllers MSCN umfaßt eine Steuereinrichtung CTRL, eine Schieberegister SRH und SRL umfassende Schieberegistereinheit SR, Auswahlseinrichtungen 35 SELH und SELL, ein Datenregister DD, und ein Kommandoregister DC.

200213602

12

Die Steuereinrichtung CTRL

- erzeugt aus einem der Steuereinrichtung zugeführten Takt-signal f_{mc} das über die Leitung FCL zu übertragenden Über-tragungstaktsignal und gibt dieses auf die Leitung FCL aus,
- 5 - erzeugt das über die Leitung EN zu übertragende Chip-Select-Signal und gibt dieses auf die Leitung EN aus, und
- steuert die Schieberegistereinheit SR.

Das Kommandoregister DC ist ein 32 Bits umfassendes Register, 10 in welchem zum Power-Baustein zu übertragende Kontrolldaten gespeichert werden. Diese Daten werden durch die CPU erzeugt und über den Systembus SYSBUS in das Kommandoregister DC geschrieben.

15 Das Datenregister DD ist ein 32 Bits umfassendes Register, in welchem Verbrauchersteuerdaten gespeichert werden. Diese Daten werden durch die CPU erzeugt und über den Systembus SYSBUS in das Datenregister DC geschrieben.

20 Die Auswahleinrichtungen SELH und SELL sind den Schiebe-registern SRH und SRL vorgeschaltete Einrichtungen, durch welche bestimmt wird, welche Daten in die Schieberegister geschrieben werden.

25 Der Auswahleinrichtung SELL werden die 16 niederwertigsten Bits des Kommandoregisters DC, die 16 niederwertigsten Bits des Datenregisters DD, und die über Bus ALTIN0 übertragenen, 16 Bits umfassenden Daten zugeführt. Der Auswahleinrichtung SELH werden die 16 höchstwertigsten Bits des Kommando-registers DC, die 16 höchstwertigsten Bits des Datenregisters DD, und die über Bus ALTIN1 übertragenen, ebenfalls 16 Bits umfassenden Daten zugeführt. Die Auswahleinrichtungen SELL und SELH weisen einen Steueranschluß SELCTRL auf, über wel-chen einstellbar ist, welche der den Auswahleinrichtungen SELL und SELH zugeführten Daten zu den Schieberegistern SRL und SRH weitergeleitet werden. Die Festlegung erfolgt bit-weise. D.h., es ist für jedes einzelne Bit der zu den Schie-

200213602

13

beregistern SRL und SRH weitergeleiteten Daten festlegbar,
aus welcher Quelle es stammt.

Die Steuerung der Auswahlseinrichtungen SELL und SELH erfolgt
5 durch die CPU des Mikrocontrollers, oder durch die Steuerein-
richtung CTRL.

Die zu den Schieberegistern SRL und SRH weitergeleiteten
Daten werden parallel in diese übernommen, und anschließend
10 seriell im Takt des über die Leitung FCL übertragenen Über-
tragungstaktsignals auf die Leitung SO ausgegeben.

Zeitgleich mit dem Beginn der Übertragung von Daten über die
Leitung SO geht das über die Leitung EN übertragene Chip-
15 Select-Signal vom niedrigen Pegel auf den hohen Pegel (oder
umgekehrt). Nachdem die innerhalb eines Zeitfensters zu über-
tragenden Daten übertragen sind, genauer gesagt im wesentli-
chen zeitgleich hiermit geht das Chip-Select-Signal vom hohen
Pegel wieder auf den niedrigen Pegel zurück (oder umgekehrt).
20 Das Chip-Select-Signal signalisiert dem Power-Baustein den
Beginn und das Ende der Übertragung von für den Power-Bau-
stein bestimmten Daten über die Leitung SO.

Der Microsecond-Bus-Controller MSCN ist in der Lage, mehrere
25 Power-Bausteine anzusteuern. Dadurch können durch den Micro-
second-Bus-Controller MSCN auch mehr Verbraucher angesteuert
werden als es der Fall wäre, wenn der Microsecond-Bus-Con-
troller MSCN nur einen einzigen Power-Baustein ansteuern
könnte.

30 Wenn der Microsecond-Bus-Controller MSCN an unterschiedlichen
Power-Bausteinen angeschlossene Verbraucher ansteuern können
soll, muß für jeden weiteren Power-Baustein eine zusätzliche
Chip-Select-Leitung EN vorgesehen werden. Wenn der Micro-
second-Bus-Controller MSCN also beispielsweise an vier Power-
35 Bausteine Verbrauchersteuerdaten übertragen können soll, müs-
sen vier Chip-Select-Leitungen EN1 bis EN4 vorgesehen werden,

200213602

14

wobei jede dieser Chip-Select-Leitungen mit genau einem Power-Baustein verbunden ist, also beispielsweise die Chip-Select-Leitung EN1 mit dem ersten Power-Baustein, die Chip-Select-Leitung EN2 mit dem zweiten Power-Baustein, die Chip-
5 Select-Leitung EN3 mit dem dritten Power-Baustein, und die Chip-Select-Leitung EN4 mit dem vierten Power-Baustein. Es müssen jedoch nicht mehrere Leitungen FCL und auch nicht mehrere Leitungen SO vorgesehen werden. Die vorhandene einzige FCL-Leitung und die vorhandene einzige SO-Leitung sind jeweils mit allen Power-Bausteinen verbunden. Für welchen Power-Baustein die über die Leitungen FCL und SO übertragenen Daten bzw. Signale bestimmt sind, wird den Power-Bausteinen durch die über die Chip-Select-Leitungen EN1 bis EN4 übertragenen Chip-Select-Signale signalisiert.

15 Der betrachtete Microsecond-Bus-Controller MSCN weist die Besonderheit auf, daß die innerhalb eines Zeitfensters ausgegebenen Verbrauchersteuerdaten für verschiedene Power-Bausteine bestimmt sein können, also beispielsweise die ersten 16 Bits
20 dieser Daten für einen ersten Power-Baustein, und die restlichen 16 Bits für einen anderen Power-Baustein. D.h., der betrachtete Microsecond-Bus-Controller MSCN ist in der Lage, die Chip-Select-Signale während der Übertragung einer als zusammenhängende Einheit übertragenen Verbrauchersteuerdaten
25 umzuschalten. Dies ist übrigens der Grund dafür daß die Schieberegistereinheit SR nicht nur ein einziges, 32 Bits umfassendes Schieberegister enthält, sondern zwei 16-Bit-Schieberegister SRL und SRH.

30 Wie vorstehend bereits erwähnt wurde, werden die vom Power-Baustein über die Leitung SDI zum Mikrocontroller übertragenen Diagnosedaten vorzugsweise asynchron übertragen. Die Diagnosedaten werden in Einheiten von Frames übertragen, die im betrachteten Beispiel jeweils 12 Bits umfassen. Der Aufbau
35 eines solchen Frame ist in Figur 4 veranschaulicht.

Der in der Figur 4 gezeigte Frame enthält

200213602

15

- ein zur Synchronisation dienendes Start-Bit SB, welches im betrachteten Beispiel immer den Wert "0" aufweist,

- 8 Bits umfassende Diagnosedaten D0 bis D7,

5 - ein zur Fehlerkontrolle dienendes Parity-Bit PB,

- zwei zur Synchronisation dienende Stop-Bits EB1 und EB2, welche im betrachteten Beispiel immer den Wert "1" aufweisen.

10 Es dürfte einleuchten und bedarf keiner näheren Erläuterung, daß der Frame auch einen anderen Aufbau aufweisen könnte.

Insbesondere können die Diagnosedaten beliebig viel mehr oder weniger Bits aufweisen, und muß der Frame nicht unbedingt ein Parity-Bit enthalten. Darüber hinaus könnte vorgesehen werden,

15 daß der Frame nur 1 Stop-Bit enthält.

Den Übertragungstakt, mit welchem der Power-Baustein die Bits der Diagnosedaten-Frames überträgt, generiert der Power-Bau-

20 stein aus dem ihm über die Leitung FCL übermittelten Übertragungstakt: der Power-Baustein teilt den ihm über die Leitung FCL zugeführten Übertragungstakt durch einen ihm vorgegebenen Teilerfaktor und verwendet den daraus resultierenden Takt als Übertragungstakt für die Übertragung der Diagnosedaten. Der Teilerfaktor wird dem Power-Baustein durch den Mikrocon-

25 troller vorgegeben. Der Mikrocontroller übermittelt an den Power-Baustein bei der Initialisierung desselben Kontrolldaten, die unter anderem den zu verwendenden Teilerfaktor enthalten..

30 Da der für die Übertragung der Diagnosedaten verwendete Übertragungstakt im Power-Baustein nach den Vorgaben des Mikrocontrollers erzeugt wird und dem Mikrocontroller folglich bekannt ist, muß weder vom Mikrocontroller zum Power-Baustein, noch vom Power-Baustein zum Mikrocontroller ein Taktsignal

35 übertragen werden, das den für die Diagnosedaten-Übertragung zu verwendenden bzw. verwendeten Übertragungstakt repräsentiert. Dadurch kann die beim Microsecond-Bus der ersten Gene-

200213602

16

ration noch vorhandene Übertragungstakt-Leitung CLK1 ersatzlos entfallen.

Da über die Leitung SDI nur Daten vom Power-Baustein zum
5 Mikrocontroller übertragen werden, kann auch die beim Microsecond-Bus der ersten Generation noch vorhandene Chip-Select-Leitung CS1 ersatzlos entfallen.

Die selben positiven Effekte ließen sich erzielen, wenn in
10 den Diagnosedaten-Frames die Start- und Stop-Bits weggelassen werden, und der Mikrocontroller die Phasenlage der Diagnosedaten durch eine Überabtastung der Diagnosedaten ermittelt.

Eine weitere Alternative besteht darin, daß auch der erste
15 Übertragungskanal TCN1 eine Übertragungstakt-Leitung umfaßt, über welche der Mikrocontroller zum Power-Baustein, oder Power-Baustein zum Mikrocontroller ein Übertragungstaktsignal überträgt, und daß der Power-Baustein die Diagnosedaten im Takt dieses Übertragungstaktsignals überträgt. Hierzu muß
20 zwar eine zusätzlich Leitung vorgesehen werden, doch ist die Gesamtanzahl der zwischen dem Mikrocontroller und dem Power-Baustein vorzusehenden Leitungen dabei immer noch geringer als bei dem eingangs beschriebenen Microsecond-Bus der ersten Generation.

25 Insbesondere wenn der Mikrocontroller und der Power-Baustein weit voneinander entfernt sind, also lange Leitungen zwischen diesen vorgesehen werden müssen, müssen die Ausgangstreiber des Mikrocontrollers sehr starke Treiber sein. Dadurch können
30 starke elektromagnetische Störungen entstehen.

Um dies zu vermeiden, kann vorgesehen werden, spezielle Treiber zu verwenden, die nur relativ schwache elektromagnetische Störungen verursachen. Solche Treiber sind beispielsweise die
35 sogenannten LVDS-Treiber. Bei der Verwendung von LVDS-Treibern werden die zu übertragenden Daten auf zwei Leitungen anstatt nur auf einer Leitung übertragen, wobei auf der einen

200213602

17

Leitung die eigentlich zu übertragenden Daten bzw. Signale übertragen werden, und wobei auf der anderen Leitung komplementäre Daten bzw. Signale übertragen werden.

- 5 Wenn der Mikrocontroller solche Treiber aufweist, überträgt er die Daten, die er bei dem in den Figuren 2 und 3 gezeigten und unter Bezugnahme darauf beschriebenen Ausführungsbeispiel über die Leitung SO überträgt, über zwei Leitungen SOP und SON, wobei über die Leitung SOP die Daten übertragen werden, die bei dem in den Figuren 2 und 3 gezeigten Ausführungsbeispiel über die Leitung SO übertragen werden, und wobei über die Leitung SON die komplementären Daten, d.h. die durch einen Inverter invertierten Daten übertragen werden. Entsprechendes gilt für die Daten, die bei dem in den Figuren 2 und 15 3 gezeigten und unter Bezugnahme darauf beschriebenen Ausführungsbeispiel über die Leitung FCL übertragen werden. Diese Daten bzw. Signale werden bei Verwendung von LVDS-Treibern über zwei Leitungen FCLP und FCLN übertragen, wobei über die Leitung FCLP die Daten übertragen werden, die bei dem in den Figuren 2 und 3 gezeigten Ausführungsbeispiel über die Leitung FCL übertragen werden, und wobei über die Leitung FCLN die komplementären Daten, d.h. die durch einen Inverter invertierten Daten übertragen werden.
- 20 .25 Für die über die Leitungen EN und SDI übertragenen Daten müssen keine LVDS-Treiber oder sonstige EMV-optimierte Treiber verwendet werden, weil die darüber übertragenen Daten vergleichsweise selten ihren Pegel ändern und folglich nur geringe elektromagnetische Störungen verursachen.
- 30 Es könnte auch vorgesehen werden, daß für die über die Leitungen FCL und SO zu übertragenden Daten bzw. Signale sowohl normale Treiber als auch LVDS-Treiber vorgesehen werden, und daß der Mikrocontroller Anschlüsse für Leitungen FCL, FCLP, 35 und FCLN, sowie für Leitungen SO, SOP, und SON aufweist. In diesem Fall könnte es von den jeweiligen Verhältnissen abhängig gemacht werden, ob die Verbrauchersteuerdaten und die

200213602

18

Kontrolldaten durch einen normalen Treiber und eine einzige Leitung SO oder durch LVDS-Treiber und zwei Leitungen SOP und SON übertragen werden, und ob das Übertragungstaktsignal durch einen normalen Treiber und eine einzige Leitung FCL
5 oder durch LVDS-Treiber und zwei Leitungen FCLP und FCLN übertragen wird.

200213602

19

Patentansprüche

1. Anordnung bestehend aus einem ersten Halbleiter-Baustein und einem mit diesem verbundenen zweiten Halbleiter-Baustein,

5 - wobei der zweite Halbleiter-Baustein zusätzlich mit elektrischen Verbrauchern verbunden ist, und diese elektrischen Verbraucher entsprechend einem ihm durch Verbrauchersteuerdaten vorgegebenen Timing ansteuert,

10 - wobei der erste Halbleiter-Baustein zum zweiten Halbleiter-Baustein die erwähnten Verbrauchersteuerdaten sowie den zweiten Halbleiter-Baustein steuernde Kontrolldaten überträgt, und

15 - wobei der zweite Halbleiter-Baustein zum ersten Halbleiter-Baustein Diagnosedaten überträgt, durch welche im zweiten Halbleiter-Baustein herrschende Zustände oder auftretende Ereignisse repräsentiert werden,

dadurch gekennzeichnet,

daß der erste Halbleiter-Baustein dem zweiten Halbleiter-Baustein durch Übertragung entsprechender Kontrolldaten vorgibt,

20 mit welcher Übertragungsrate der zweite Halbleiter-Baustein die Diagnosedaten an den ersten Halbleiter-Baustein zu übertragen hat.

2. Anordnung nach Anspruch 1,

25 dadurch gekennzeichnet,

daß der erste Halbleiter-Baustein eine programmgesteuerte Einheit ist.

3. Anordnung nach Anspruch 1,

30 dadurch gekennzeichnet,

daß der zweite Halbleiter-Baustein ein Power-Baustein ist.

4. Anordnung nach Anspruch 1,

dadurch gekennzeichnet,

35 daß die Übertragung der Diagnosedaten im Takt eines im zweiten Halbleiter-Baustein generierten Übertragungstaktsignals

200213602

20

erfolgt, und daß dieses Übertragungstaktsignal nicht zum ersten Halbleiter-Baustein übertragen wird.

5. Anordnung nach Anspruch 1,

5 dadurch gekennzeichnet, daß die Vorgabe der Übertragungsrate durch Übermittlung eines Teilerfaktors erfolgt, und daß der zweite Halbleiter-Baustein die Frequenz eines ihm vom ersten Halbleiter-Baustein zugeführten Übertragungstaktsignals durch den Teilerfaktor teilt und die Diagnosedaten im Takt des daraus resultierenden Übertragungstaktsignals zum ersten Halbleiter-Baustein überträgt.

6. Anordnung nach Anspruch 5,

dadurch gekennzeichnet, daß das dem zweiten Halbleiter-Baustein zugeführte Übertragungstaktsignal den Übertragungstakt repräsentiert, mit welchem der erste Halbleiter-Baustein die Verbrauchersteuerdaten oder die Kontrolldaten an den zweiten Halbleiter-Baustein überträgt.

20

7. Anordnung nach Anspruch 1,

dadurch gekennzeichnet, daß die Diagnosedaten in Einheiten von Frames übertragen werden, wobei ein Frame mit einem vorgegebenen Wert aufweisenden Start-Bit beginnt, und mit einem oder zwei, vorgegebene Werte aufweisenden Stop-Bits endet.

8. Anordnung nach Anspruch 1,

dadurch gekennzeichnet, daß der erste Halbleiter-Baustein die Phasenlage der Diagnosedaten durch Überabtastung der Diagnosedaten ermittelt.

9. Anordnung nach Anspruch 1,

35 dadurch gekennzeichnet,

200213602

21

daß die Diagnosedaten über eine Leitung übertragen werden, über welche weder Verbrauchersteuerdaten noch Kontrolldaten übertragen werden.

5. 10. Anordnung nach Anspruch 1,
durch gekennzeichnet,
daß die Übertragung der Verbrauchersteuerdaten und der Kontrolldaten über einen zweiten Übertragungskanal erfolgt.
10. 11. Anordnung nach Anspruch 10,
durch gekennzeichnet,
daß der zweite Übertragungskanal aus
 - einer Übertragungstakt-Leitung, über welche der erste Halbleiter-Baustein ein Übertragungstaktsignal zum zweiten Halbleiter-Baustein überträgt,
 - einer Datenleitung, über welche der erste Halbleiter-Baustein im Takt des Übertragungstaktsignals die Verbrauchersteuerdaten und die Kontrolldaten zum zweiten Halbleiter-Baustein überträgt, und
 - einer Chip-Select-Leitung, über welche der erste Halbleiter-Baustein ein Chip-Select-Signal zum zweiten Halbleiter-Baustein überträgt, durch welches dem zweiten Halbleiter-Baustein der Beginn und das Ende der Übertragung von für den zweiten Halbleiter-Baustein bestimmten Daten über die Datenleitung signalisiert wird,besteht.
12. Anordnung nach Anspruch 1,
durch gekennzeichnet,
daß die Übertragung der Verbrauchersteuerdaten und der Kontrolldaten in Einheiten von Frames erfolgt, und daß die Verbrauchersteuerdaten-Frames und die Kontrolldaten-Frames im Zeitmultiplex-Verfahren übertragen werden.
35. 13. Anordnung nach Anspruch 12,
durch gekennzeichnet,

200213602

22

daß der erste Halbleiter-Baustein Zeitfenster konstanter Länge definiert, und in jedem Zeitfenster entweder einen Verbrauchersteuerdaten-Frame, oder einen Kontrolldaten-Frame, oder keine Daten überträgt.

5

14. Anordnung nach Anspruch 13,
dadurch gekennzeichnet,
daß der erste Halbleiter-Baustein nach der Übertragung eines
Verbrauchersteuerdaten-Frame jeweils n Zeitfenster lang kei-
10 nen Verbrauchersteuerdaten-Frame mehr überträgt, wobei $n \geq 0$
ist, und wobei n durch den Benutzer der Anordnung einstellbar
ist.

15. Anordnung nach Anspruch 14,

15 dadurch gekennzeichnet,
daß ein Kontrolldaten-Frame nur in einem Zeitfenster übertra-
gen werden kann, in welchem kein Verbrauchersteuerdaten-Frame
zu übertragen ist.

20 16. Anordnung nach Anspruch 13 oder 14,
dadurch gekennzeichnet,
daß dann, wenn gleichzeitig Verbrauchersteuerdaten und Kon-
trolldaten zur Übertragung anstehen, die Übertragung der Kon-
trolldaten Vorrang hat.

25

17. Anordnung nach Anspruch 10,
dadurch gekennzeichnet,
daß der zweite Übertragungskanal aus
- einer ersten Übertragungstakt-Leitung, über welche der
30 erste Halbleiter-Baustein ein Übertragungstaktsignal zum
zweiten Halbleiter-Baustein überträgt,
- einer zweiten Übertragungstakt-Leitung, über welche der er-
ste Halbleiter-Baustein das inverse Übertragungstaktsignal
an den zweiten Halbleiter-Baustein überträgt,
35 - einer ersten Datenleitung, über welche der erste Halblei-
ter-Baustein im Takt des Übertragungstaktsignals die Ver-

200213602

23

brauchersteuerdaten und die Kontrolldaten zum zweiten Halbleiter-Baustein überträgt,

- einer zweiten Datenleitung, über welche der erste Halbleiter-Baustein die inversen Verbrauchersteuerdaten und die inversen Kontrolldaten an den zweiten Halbleiter-Baustein überträgt, und

5 - einer Chip-Select-Leitung, über welche der erste Halbleiter-Baustein ein Chip-Select-Signal zum zweiten Halbleiter-Baustein überträgt, durch welches dem zweiten Halbleiter-Baustein der Beginn und das Ende der Übertragung von für 10 den zweiten Halbleiter-Baustein bestimmten Daten über die Datenleitung signalisiert wird,

besteht.

15 18. Anordnung nach Anspruch 17,

dadurch gekennzeichnet,

daß die Ausgangstreiber des ersten Halbleiter-Bausteins, durch welche die Verbrauchersteuerdaten, die Kontrolldaten, und das Übertragungstaktsignal ausgegeben werden, LVDS-Treiber oder sonstige Spezialtreiber sind, durch deren Verwendung sich elektromagnetische Störungen gering halten lassen.

19. Anordnung nach Anspruch 1,

dadurch gekennzeichnet,

25 daß der erste Halbleiter-Baustein für die Ausgabe der Verbrauchersteuerdaten, der Kontrolldaten, und des Übertragungstaktsignals jeweils mehrere verschiedene Ausgangstreiber aufweist, und daß dem ersten Halbleiter-Baustein vorgebar ist, 30 welcher der mehreren verschiedenen Ausgangstreiber jeweils verwendet werden soll.

200213602

24

Zusammenfassung

Anordnung bestehend aus einem ersten Halbleiter-Baustein und einem mit diesem verbundenen zweiten Halbleiter-Baustein

5

Es wird eine Anordnung bestehend aus einem ersten Halbleiter-Baustein und einem mit diesem verbundenen zweiten Halbleiter-Baustein beschrieben, wobei der zweite Halbleiter-Baustein zusätzlich mit elektrischen Verbrauchern verbunden ist, und

10 diese elektrischen Verbraucher entsprechend einem ihm durch Verbrauchersteuerdaten vorgegebenen Timing ansteuert, und wobei der erste Halbleiter-Baustein zum zweiten Halbleiter-Baustein die erwähnten Verbrauchersteuerdaten sowie den zweiten Halbleiter-Baustein steuernde Kontrolldaten überträgt,
15 und wobei der zweite Halbleiter-Baustein zum ersten Halbleiter-Baustein Diagnosedaten überträgt, durch welche im zweiten Halbleiter-Baustein herrschende Zustände oder auftretende Ereignisse repräsentiert werden. Die beschriebene Anordnung zeichnet sich dadurch aus, daß der erste Halbleiter-Baustein
20 dem zweiten Halbleiter-Baustein durch Übertragung entsprechender Kontrolldaten vorgibt, mit welcher Übertragungsrate der zweite Halbleiter-Baustein die Diagnosedaten an den ersten Halbleiter-Baustein zu übertragen hat.

25

Figur 2

200213602

1

Bezugszeichenliste

ALTINO	Bus zur Verbindung von T und MSCN
ALTIN1	Bus zur Verbindung von T und MSCN
CLK1	Übertragungstakt-Leitung von TC1
CLK2	Übertragungstakt-Leitung von TC2
CS1	Chip-Select-Leitung von TC1
CS2	Chip-Select-Leitung von TC2
CTRL	Steuereinrichtung
CPU	CPU
Dx	Daten-Bit
DATA1a	Daten-Leitung von TC1
DATA1b	Daten-Leitung von TC1
DATA2	Daten-Leitung von TC2
DC	Kommandoregister
DD	Datenregister
EBx	Stop-Bits
EN	Chip-Select-Leitung von TCN2
FCL	Übertragungstakt-Leitung von TCN2
MC	Mikrocontroller
MCN	Mikrocontroller
MSB	Microsecond-Bus
MSBN	modifizierter Microsecond-Bus
MSC	Microsecond-Bus-Controller
MSCN	modifizierter Microsecond-Bus-Controller
Px	Einheiten von MC
PB	Parity-Bit
PC	Power-Baustein
PCN	Power-Baustein
SB	Start-Bit
SDI	Daten-Leitung von TCN1
SELCTRL	Steuerleitung für SELH und SELL
SELH	Auswahleinrichtung
SELL	Auswahleinrichtung
SO	Daten-Leitung von TCN2
SR	Schieberegister-Einheit
SRH	Schieberegister

200213602

2

SRL Schieberegister
SYSBUS interner Systembus
T Timer
TC1 erster Übertragungskanal
TCN1 erster Übertragungskanal
TC2 zweiter Übertragungskanal
TCN2 zweiter Übertragungskanal

200213602

1/2

FIG 1

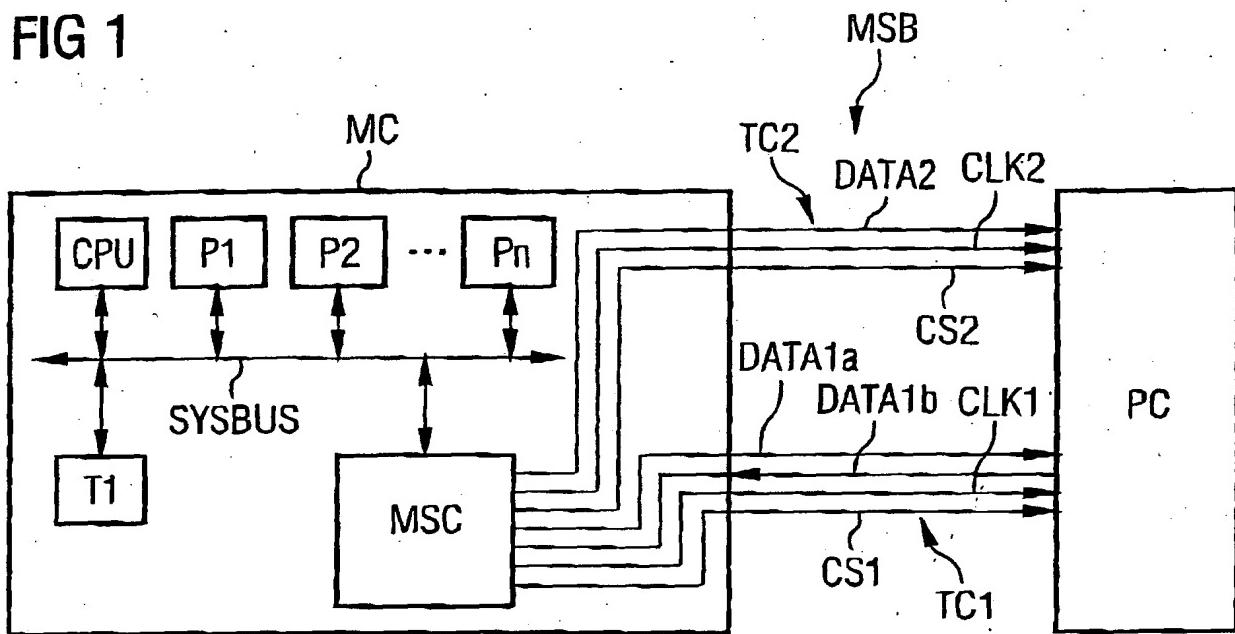
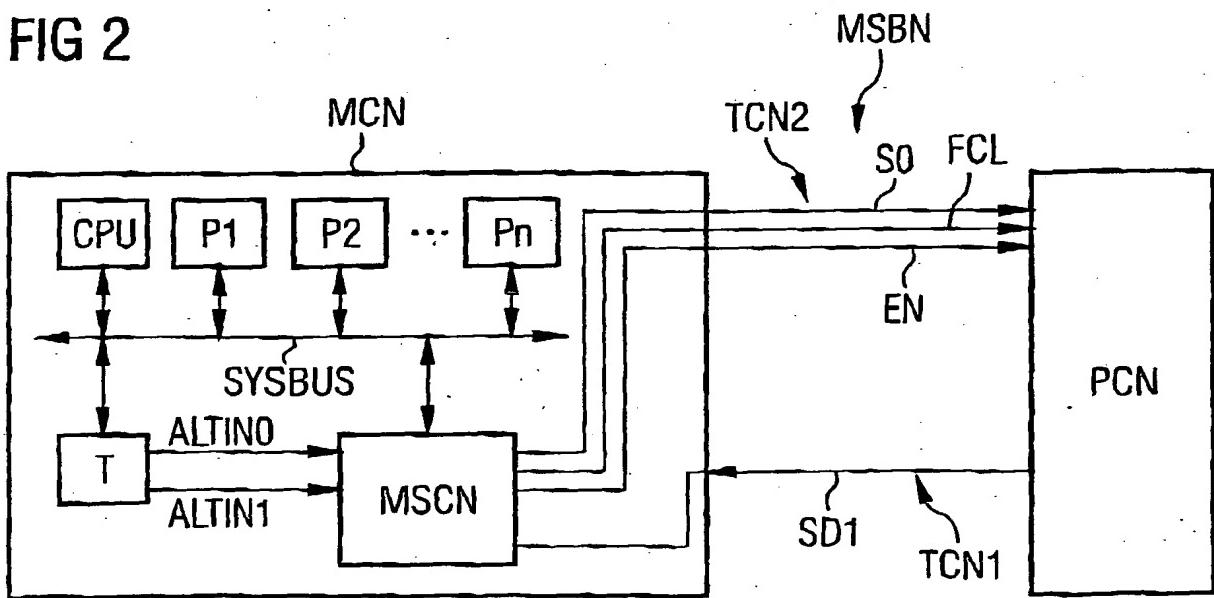


FIG 2



200213602

2/2

FIG 3

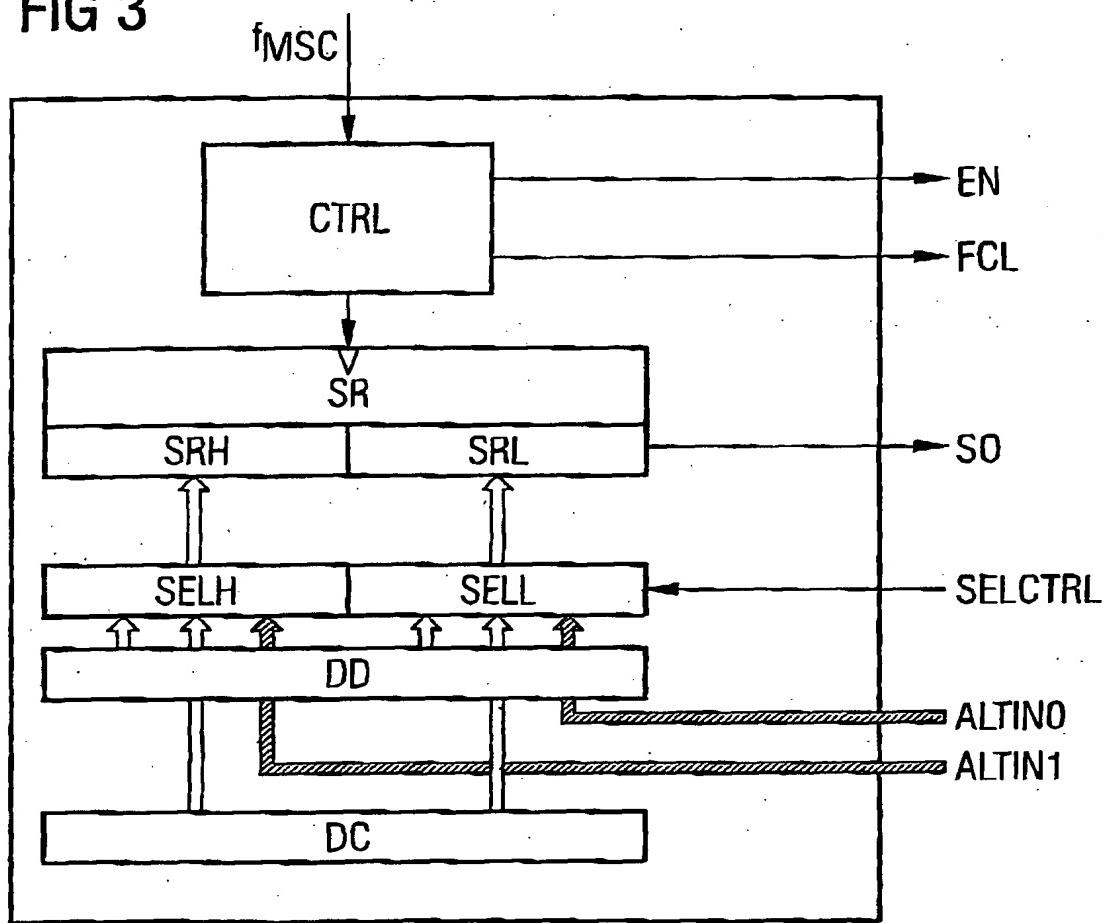


FIG 4

